

PAT-NO: JP406252158A  
DOCUMENT-IDENTIFIER: JP 06252158 A  
TITLE: SEMICONDUCTOR DEVICE  
PUBN-DATE: September 9, 1994

INVENTOR-INFORMATION:  
NAME

MORITSUKA, KOHEI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

TOSHIBA CORP

N/A

APPL-NO: JP05037996

APPL-DATE: February 26, 1993

INT-CL (IPC): H01L021/331, H01L029/73 ,  
H01L029/205

US-CL-CURRENT: 257/197

ABSTRACT:

PURPOSE: To provide a heterojunction bipolar transistor (HBT) type semiconductor device wherein the heavy doping of a

contact layer is achieved by taking advantage of ion implantation techniques, and further the position of p-n junctions is in accordance with that of heterojunctions with accuracy.

CONSTITUTION: A p-type silicon-germanium mixed crystal layer 111 to be a base and an n-type silicon layer 112 to be an emitter are deposited on an n-type silicon layer 103 to be a collector in this order. In order to form an emitter contact, dislocation or the like is introduced above the n-Si layer 112 to be an emitter by making the lattice constant different from that of the emitter Si layer 112. Further, a semiconductor layer with n-type impurities introduced by ion implantation, for example, a  $\text{Si}_{0.2}\text{Ge}_{0.8}$  mixed crystal layer 114, and n<sup>+</sup>-Si layer 115 are formed to constitute a HBT.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-252158

(43)公開日 平成6年(1994)9月9日

(51)IntCl<sup>5</sup>

H01L 21/331

29/73

29/205

識別記号

庁内整理番号

FI

技術表示箇所

8427-4M

H01L 29/72

審査請求 未請求 請求項の数1 OL (全10頁)

(21)出願番号

特願平5-37996

(22)出願日

平成5年(1993)2月26日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 森塚 宏平

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

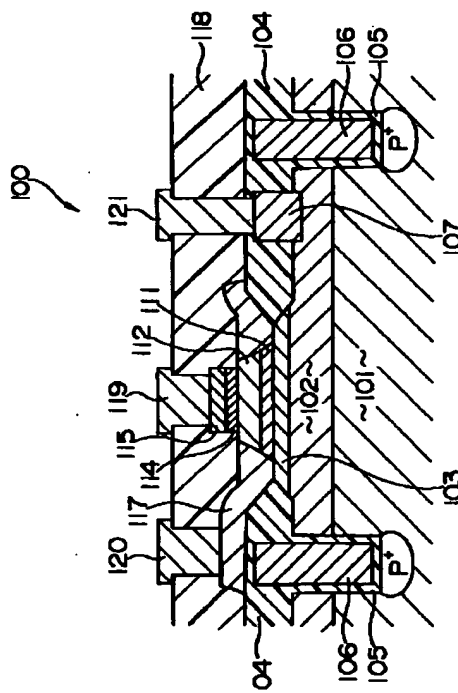
(74)代理人 弁理士 須山 佐一

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 イオン注入技術を利用することにより、コンタクト層の高濃度ドーピングを実現した上で、pn接合とヘテロ接合の位置を正確に合せることを可能にしたヘテロ接合バイポーラトランジスタ(HBT)型の半導体装置を提供する。

【構成】 コレクタとなるn型のシリコン層103上に、ベースとなるp型のシリコンゲルマニウム混晶層111と、エミッタとなるn型のシリコン層112とを順に積層形成する。エミッタとなるn-Si層112上には、エミッタコンタクトとして、エミッタSi層112と格子定数を異ならせることによって、転位等を導入すると共に、イオン注入法によってn型不純物を導入した半導体層、例えば例えばSi<sub>0.2</sub>Ge<sub>0.8</sub>混晶層114およびn<sup>+</sup>-Si層115を設けて、HBTを構成する。



## 【特許請求の範囲】

【請求項1】 第一導電型のコレクタとなる第一の半導体層と、

前記第一の半導体層上に順に積層形成された、第二導電型のベースとなる第二の半導体層、および第一導電型のエミッタとなる第三の半導体層と、

前記第三の半導体層上に形成され、前記第三の半導体とは格子定数が異なる半導体を有し、かつ第一導電型の不純物がイオン注入法によって導入された第四の半導体層とを具備し、

前記第四の半導体層にエミッタ電極が接続されていることを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体装置に係り、特に製造工程の低温化を必要とする高速動作が可能なバイポーラトランジスタ型の半導体装置に関する。

## 【0002】

【従来の技術】バイポーラトランジスタの高速化において、最重要とされる指標は、高い最大発振周波数である。ここで、バイポーラトランジスタの最大発振周波数  $f_{max}$  は、次式で表される。

## 【0003】

$$f_{max} = (f_t / 8\pi R_b C_c)^{1/2} \quad \dots\dots(1)$$

ここで、 $f_t$  は電流利得の遮断周波数で、特に縦方向の層構造に強く依存し、ベース層の厚さを薄くして、ベース領域におけるキャリアの走行時間を短縮することと、エミッタとコレクタの不純物濃度を高めて、動作電流密度を向上させることで向上できる。また、 $R_b$  はベース抵抗で、ベース層のシート抵抗を下げ、さらにベース取出し抵抗を下げるのが求められる。また、 $C_c$  はコレクタ容量で、極力コレクタ接合面積を縮小することが必要となる。近年では、 $f_t$  は 50GHz に達する性能が求められ、そのためにベース幅は50nm以下に縮小されるようになってきた。このため、真性領域のベースシート抵抗は 10kΩ以上になり、比較的大きな  $f_t$  の割には  $f_{max}$  が小さく（典型的には20～30GHz）、新たな技術が求められている。

【0004】このような要請に応える技術として、ヘテロ接合エミッタ技術がある。この方法では、ベースより広禁止帯幅のエミッタ材を用いることにより、少数キャリアのエミッタからの注入効率を高くできるため、ベース濃度を高くして、かつ薄いベース層を実現できる。例えば、典型的には30nmのベース厚さで、 $5 \times 10^{19} \text{cm}^{-3}$  のキャリア密度を用いて、シート抵抗 600Ωが実現できる。このヘテロ接合バイポーラトランジスタ（HBT）をシリコンプロセスで実現する方法としては、シリコンよりもバンドギャップの小さいシリコンゲルマニウム混晶をベースに用いる方法が最も有力と考えられている。

【0005】図8に、npn型のHBTの理想的な不純物

プロファイルと組成プロファイルの例を示す。 $10^{17} \text{cm}^{-3}$  程度の n型不純物を含有したSiコレクタ層上に、典型的には30nmの厚さで  $5 \times 10^{19} \text{cm}^{-3}$  程度の p型不純物を含有した  $\text{Si}_{0.7} \text{Ge}_{0.3}$  ベース層と、 $2 \sim 5 \times 10^{18} \text{cm}^{-3}$  程度の n型不純物を含有した50nm程度の厚さのSiエミッタ層と、 $10^{20} \text{cm}^{-3}$  程度の n型不純物を含有した 150nm程度の厚さのSiコンタクト層が積層した構造となる。このHBT構造においては、大きなエミッタ注入効率を確保することと、ベース・コレクタ界面に電子に対するポテンシャル障壁を作らないように、pn接合の位置とヘテロ接合の位置を 1～2nm の範囲で正確に一致させることが必要となる。一方、p型不純物として使用されるボロンは、特に高濃度になると拡散係数が大きくなるため、ヘテロ接合とpn接合の一致は、製造技術の観点から最も困難な課題の一つである。

【0006】このような課題に対しては、500～700℃という低温でシリコンやシリコンゲルマニウム混晶を成長する方法が有力である。例えば、 $\text{Si}_2 \text{H}_6$  と  $\text{GeH}_4$  と  $\text{B}_2 \text{H}_6$  を用いたCVD技術で、550℃という低温で、ボロンを所定の濃度含有した  $\text{Si}_{0.3} \text{Ge}_{0.7}$  層を、シリコン基板上にエピタキシャル成長させることができる。ただし、 $\text{Si}_{0.3} \text{Ge}_{0.7}$  とSiとの間においては、格子定数の差に起因する歪みが発生するため、転位等の結晶欠陥を発生させないように、 $\text{Si}_{0.3} \text{Ge}_{0.7}$  層の厚さは50nm程度以下にする。この上に、さらに  $\text{Si}_2 \text{H}_6$  と  $\text{PH}_3$  を用いたCVD技術で、n型のSi層を 650℃程度の温度でエピタキシャル成長させることができる。よって、このような低温のエピタキシャル成長は、図8に示した構造を実現するのに最も有力な方法と考えられている。ここで、エピタキシャル成長温度が 700℃以下であれば、ボロンの熱拡散は殆ど生じないため、ヘテロ接合とpn接合を一致させるという課題も達成できることが期待される。

【0007】しかしながら、この低温CVD成長では、高濃度の n型層が実現できないという問題がある。これは、n型ドーパントである砒素や燐等の V族元素がシリコン表面に吸着すると、化学的に活性なシリコンの不對電子の表面密度が減少し、化学的に不活性になってしまうためといわれている。このため、V族元素の供給を増すと、シリコンの成長速度は著しく低下する。また、この V族元素の吸着層は、700～800℃程度の高温まで安定なので、実質的に高濃度の n型層の 700℃以下の低温成長は不可能である。

【0008】図9に、 $\text{Si}_2 \text{H}_6$  を用いたCVD法によるSiエピタキシャル成長において、 $\text{PH}_3$  を添加した場合の成長速度の実験結果を示す。成長温度が 600℃では、わずか100ppmの  $\text{PH}_3$  添加で成長が不可能になる。成長温度を 700℃に上げても、100ppmの  $\text{PH}_3$  添加で、成長速度は無添加の場合の 10%以下に低下してしまい、高濃度の不純物添加は行えない。さらに、V族元素濃度を増すと、二原子が会合した状態で表面に吸着するので、CVD法

3

で導入した V 族はドナーとしての活性化率が低く、高濃度キャリア層を得るためには、会合状態を分解するように、900℃以上の高温での熱処理が必要となる。図10に、 $\text{Si}_2\text{H}_6$  を用いた 700℃のCVD法によるSiエピタキシャル成長における、 $\text{PbH}_3$  添加量とシリコン中の燐の原子濃度およびドナー濃度との関係を示す。 $\text{PbH}_3$  添加量を増しても、燐原子濃度に対するドナー濃度の割合は低下し、ドナー濃度として  $4 \times 10^{18} \text{cm}^{-3}$  程度しか得られない。一方、低抵抗のオーミック接触を得るようなコンタクト層には、 $10^{20} \text{cm}^{-3}$  程度のドナー濃度が必要である。この結果、従来、シリコンゲルマニウム混晶をベースに用いるシリコンのヘテロ接合バイポーラトランジスタ (HBT) の製作において、エミッタコンタクト層となる高濃度 n 型層は、専らイオン注入技術によって作製されてきた。

【0009】図11に、高濃度 n 型層の作製にイオン注入技術を適用した、従来の代表的な Si/Si-Ge 型 HBT の製造工程を示す。まず、コレクタコンタクト層を兼ねる  $\text{n}^+\text{-Si}$  基板 1 上に、砒素を  $1 \times 10^{17} \text{cm}^{-3}$  添加した Si 層 2 を 500nm、ボロンを  $1 \times 10^{19} \text{cm}^{-3}$  添加した  $\text{Si}_{0.7}\text{Ge}_{0.3}$  層 3 を 30nm、砒素を  $1 \times 10^{17} \text{cm}^{-3}$  添加した Si 層 4 を 250nm の各厚さで、順次エピタキシャル成長させる (図 11-a)。ここで、エピタキシャル成長は、 $\text{SiCl}_2\text{H}_2$  と  $\text{GeH}_4$  を用いた CVD 法で行い、ドーパントガスには  $\text{AsH}_3$  と  $\text{B}_2\text{H}_6$  を用いる。また、Si 層 2、4 の成長は 680℃で、Si-Ge 層 3 の成長は 560℃で行われる。

【0010】次に、ボロンを 40keV の加速エネルギーで、 $1 \times 10^{15} \text{cm}^{-2}$  選択的に注入して、ベースコンタクト領域 5 を形成すると共に、砒素を 30keV の加速エネルギーで、 $3 \times 10^{15} \text{cm}^{-2}$  選択的に注入して、エミッタコンタクト領域 6 を形成する (図 11-b)。ここで、イオン注入された不純物を活性化するために、700℃で10分間の熱処理を行う。ベース・コレクタ接合を規定するようにメサエッチングを行い、CVD 法によって  $\text{SiO}_2$  膜 7 を堆積する。最後に、エミッタコンタクト 8、ベースコンタクト 9 を形成して素子化する (図 11-c)。

【0011】これらの工程の中で、最大の熱処理はイオン注入後のアニール工程で、処理温度としてはボロンの拡散を引き起こすことはなく、良好な HBT 特性が期待される。しかし、実際にはイオン注入によって導入された損傷欠陥に関連した増速拡散によって、ベース層 3 のボロンがエミッタ層 4 とコレクタ層 2 に拡散するため、pn 接合とヘテロ接合との位置ずれが生じ、良好な HBT 特性は得られない。

【0012】図12に、同一の熱処理 (700℃、10分間) を経た図 11 (a) のエピタキシャル膜の元素分布を示す。ボロンは Si-Ge 層にのみ含まれ、pn 接合とヘテロ接合の位置ずれは 1nm 以下であった。ところが、砒素をイオン注入した領域の熱処理後の元素分布は、図 13 に示すように、ボロンが Si-Ge 層から拡散し、pn 接合とヘテ

4

ロ接合の位置ずれは、エミッタ側およびコレクタ側に各々 30nm から 50nm に及んでいることが分かる。このように、イオン注入によってボロンが非常に速く拡散するのは、イオン注入による損傷をアニール分解する過程で格子間原子が放出され、ボロンと複合体を作ると、拡散定数が通常の格子位置のボロンに比べ数桁大きくなるためである (700℃における格子位置のボロンの拡散定数は  $\sim 10^{-18} \text{cm}^2/\text{s}$ 、格子間原子と会合したボロンの拡散定数は  $\sim 10^{-14} \text{cm}^2/\text{s}$ )。このように、イオン注入を用いてエミッタコンタクト層を形成しようとしても、ベース中のボロンが増速拡散するために、満足な素子特性を得ることはできなかった。

【0013】また、従来の他の代表的な Si/Si-Ge 型 HBT の製造工程を図 14 および図 15 に示す。この製造例においては、まずコレクタコンタクト層を兼ねる  $\text{n}^+\text{-Si}$  基板 10 上に、コレクタ層となる n 型 Si 層 11 をエピタキシャル成長させ、ベース・コレクタ接合領域を残して選択酸化して、フィールド酸化膜 12 を形成する (図 14-a)。ベース・コレクタ接合領域の Si を露出した後、ボロンを  $5 \times 10^{16} \text{cm}^{-3}$  添加した  $\text{Si}_{1-x}\text{Ge}_x$  層 13 を 50nm、無添加の Si 層 14 を 30nm の厚さで、順次エピタキシャル成長させる (図 14-b)。ここで、エピタキシャル成長は、 $\text{SiH}_4$  と  $\text{GeH}_4$  を用いたホットウォール CVD 法で行ったため、成長膜はウエハ全面に堆積した。また、 $\text{Si}_{1-x}\text{Ge}_x$  層 13 は、組成比  $x$  がコレクタ側で 0.1、エミッタ側で 0 となるようにしてある。次いで、ボロンを 40keV の加速エネルギーで、 $1 \times 10^{15} \text{cm}^{-2}$  選択的に注入して、ベースコンタクト領域 15 を形成し、ベース引き出し領域を残してベースコンタクト領域 15 をエッチング除去する (図 14-c)。

【0014】次に、CVD 法で  $\text{SiO}_2$  膜 16 を堆積し、エミッタ領域にコンタクト窓 16a を開け、ポリシリコン膜 17 を 150nm 堆積する (図 15-a)。次いで、砒素を 70keV の加速エネルギーで、 $5 \times 10^{15} \text{cm}^{-2}$  ポリシリコン膜 17 に注入し、1000℃で15秒間アニールして、不純物の活性化とエミッタ不純物の拡散を行う。次に、エミッタ領域を残してポリシリコン膜 17 をエッチング除去し、CVD 法で  $\text{SiO}_2$  膜 18 を堆積した後、電極 19 を形成してバイポーラトランジスタを得る (図 15-b)。

【0015】この方法では、前述した従来例の場合に比べ、ボロンの増速拡散は殆ど生じない。これは、注入損傷のアニール過程で放出される格子間原子がポリシリコン中の結晶粒界に捕らえられ、ベース層 13 まで拡散しないためである。しかし、この方法では、エミッタ Si 層とポリシリコン膜 17 との間に存在する自然酸化膜を破壊するために、1000℃程度の熱処理が必要となる。このため、歪みを内蔵するベース  $\text{Si}_{1-x}\text{Ge}_x$  層 13 の Ge 組成比を 0.2 以上にするのは困難であり、さらに高温での熱処理によりボロンの拡散が顕著となり、結果的に前述し

た従来例と同じく、pn接合とヘテロ接合の位置を正確に合せることはできない。このため、第2の従来例では、ベースとしてのSi-Ge層の導入はドリフト電界を作り込む効果に限定して行われ、エミッタ注入効率の改善やベース抵抗の低減は不十分で、従来のシリコン素子を凌駕できるほどの特性は得られていない。実際、試作例では、特にベースピンチ面抵抗が10〜20k $\Omega$ と大きく、最大発振周波数も30GHz程度で、従来のシリコン素子と殆ど変わらない特性に止まっている。

#### 【0016】

【発明が解決しようとする課題】上述したように、従来のヘテロ接合バイポーラトランジスタにおいては、pn接合とヘテロ接合との位置を一致させ、かつ高濃度キャリア層を得るために、低温CVD技術とイオン注入技術とを利用してはいるものの、実際にはイオン注入による損傷をアニール分解する過程で放出される格子間原子とボロンとが複合体を作ることによって、ボロンの増速拡散を招いたり、あるいはボロンの増速拡散は殆ど生じないが、高温での熱処理が必要であるために、Si-Ge層のGe組成比を十分に設定できず、かつボロンの拡散が顕著となる等の欠点を有することから、pn接合とヘテロ接合との位置を正確に合せることができないという問題があった。本発明は、このような課題に対処するためになされたもので、イオン注入技術を利用することにより、コンタクト層の高濃度ドーピングを実現した上で、pn接合とヘテロ接合の位置を正確に合せることを可能にし、これにより優れた特性を安定して得ることを可能にした、ヘテロ接合バイポーラトランジスタ型の半導体装置を提供することを目的としている。

#### 【0017】

【課題を解決するための手段】本発明の半導体装置は、第一導電型のコレクタとなる第一の半導体層と、前記第一の半導体層上に順に積層形成された、第二導電型のベースとなる第二の半導体層、および第一導電型のエミッタとなる第三の半導体層と、前記第三の半導体層上に形成され、前記第三の半導体とは格子定数が異なる半導体を有し、かつ第一導電型の不純物がイオン注入法によって導入された第四の半導体層とを具備し、前記第四の半導体層にエミッタ電極が接続されていることを特徴としている。

#### 【0018】

【作用】本発明の半導体装置においては、エミッタコンタクト層となる第四の半導体層に、イオン注入法によりドーピングを行っているため、効率よく高濃度ドーピングが行え、よって小さいコンタクト抵抗が得られる。また、イオン注入が行われる第四の半導体層とエミッタ層となる第三の半導体層との間には、格子定数の差により歪みや欠陥が局部的に発生するため、イオン注入で導入された格子欠陥のアニール過程で放出される格子間原子は、その歪み層や欠陥に拘束され、その下部に存在する

ベース領域には侵入しない。よって、ベース不純物の増速拡散は生じない。その結果、ヘテロ接合とpn接合の位置はエピタキシャル成長時点からずれることがなくなり、優れたHBT特性が得られる。

#### 【0019】

【実施例】以下、本発明の実施例について説明する。

【0020】図1は、本発明の一実施例によるヘテロ接合バイポーラトランジスタ(HBT)100の構成を示す断面図である。まず、同図に示すHBT100の製造工程を、図2〜図4を参照して詳述する。

【0021】まず、図2(a)に示すように、p<sup>-</sup>-Si基板101上に、コレクタコンタクト層となる1.0 $\mu\text{m}$ 厚のn<sup>+</sup>-Si層102をアンチモン拡散により形成し、その上に燐を $1 \times 10^{17} \text{cm}^{-3}$ 含有したn-Si層103を、コレクタ層として0.3 $\mu\text{m}$ の厚さでエピタキシャル成長させる。次に、図2(b)に示すように、ベース・コレクタ接合領域を除いて、選択酸化により厚さ0.7 $\mu\text{m}$ のフィールド酸化膜104を形成する。次いで、酸化膜105とポリシリコン106を埋め込んだ溝により、素子分離領域を形成する(図2-c)。フィールド酸化膜104を埋込コンタクト層102が露出するように取り除き、燐をドーパしたポリシリコン107をフィールド酸化膜の除去部分に埋め込んで、コレクタコンタクト層102を表面に取り出す(図2-d)。

【0022】ここまでの工程で形成した素子分離溝と、コレクタコンタクト中のポリシリコン107の表面は、100nmの厚さで酸化しておく(108、109)。次に、ベース・コレクタ接合領域上の酸化膜110を選択的にエッチングして取り除き、希釈弗酸水溶液中で露出したシリコン表面を水素で終端し、自然酸化が進行しないようにして、エピタキシャル成長装置に導入する。用いたエピタキシャル成長装置は、到達圧力が $10^{-10}$  Torrの超高真空仕様のコールドウォール炉で、Si<sub>2</sub>H<sub>6</sub>とGeH<sub>4</sub>ガスをを用いたCVDを、 $10^{-4}$  Torr近傍の動作圧力で行えるものである。この装置にシリコンウエハを装填した後に徐々に加熱し、400℃に達したところでSi<sub>2</sub>H<sub>6</sub>ガスを流す。シリコン表面を終端している水素が脱離しはじめる温度(およそ500℃)に達すると、シリコン表面にのみ選択的にSiがエピタキシャル成長しはじめる。

【0023】ウエハ温度が550℃に達した際、同時にGeH<sub>4</sub>ガスとB<sub>2</sub>H<sub>6</sub>ガスを添加し、ウエハ温度は550℃に保持したまま、ボロンを $5 \times 10^{19} \text{cm}^{-3}$ ドーパしたSi<sub>0.7</sub>Ge<sub>0.3</sub>混晶を30nm成長させ、ベース層111を得る(図3-a)。またこのとき、400℃から550℃に昇温する過程で成長したSiの厚さは2nmであった。次に、GeH<sub>4</sub>ガスとB<sub>2</sub>H<sub>6</sub>ガスを止め、ウエハを680℃に加熱してAsH<sub>3</sub>ガスを添加し、ウエハ温度は680℃に保持したまま、砒素を $2 \times 10^{18} \text{cm}^{-3}$ ドーパしたSi(112)を120nm成長させる。またこのとき、550℃から680℃に昇温する過程で成長したSiの厚さは8nmであった。さら

7

に、680℃では $\text{Si}_2\text{H}_6$ ガスが $\text{SiO}_2$ 表面でも分解し、酸化104膜上にはポリシリコン113が堆積する(図3-b)。次に、 $\text{GeH}_4$ ガスを添加し、砒素をドーブした $\text{Si}_{0.2}\text{Ge}_{0.8}$ 混晶層114を5nm成長させ、さらに $\text{GeH}_4$ ガスを止めて、砒素を $2 \times 10^{18} \text{cm}^{-3}$ ドーブしたSi層115を80nm成長させる。ここで、 $\text{Si}_{0.2}\text{Ge}_{0.8}$ 混晶層114は、基板のシリコンと格子定数が3.2%も異なるので、転位を大量に含有し、その大部分はSi層115にも伝搬している。この後、ウエハ全面に砒素(As)を40keVの加速エネルギーで、 $2 \times 10^{15} \text{cm}^{-2}$ 注入する(図3-c)。ここで、砒素の投影飛程は27nmなので、注入に伴う損傷はSi層115に止まっている。

【0024】次に、エミッタ領域をフォトレジスト116でマスクし、Si層115と $\text{Si}_{0.2}\text{Ge}_{0.8}$ 混晶層114を選択的にエッチング除去した後、エミッタ領域を除くSi層112とポリシリコン層113にボロン(B)を30keVの加速エネルギーで、 $3 \times 10^{15} \text{cm}^{-2}$ 注入する(図4-a)。レジスト116を除去した後、700℃で15分間熱処理してイオン注入不純物を活性化し、Si層115中にエミッタコンタクト領域を形成すると共に、Si層113、112中にベースコンタクト領域117を形成し、ベース引き出し領域を残してベースコンタクト領域117をエッチング除去する(図4-b)。

【0025】この後、ウエハ全面に熱CVD法で $\text{SiO}_2$ 膜118を堆積し、さらにエミッタ電極119、ベース電極120、コレクタ電極121を形成することによって、図1に示したヘテロ接合バイポーラトランジスタ(HBT)100が得られる。上記実施例のHBT100の製造工程において、イオン注入によってエミッタコンタクト領域に導入された損傷をアニールする工程で、格子間原子と原子空孔が大量に放出される。しかし、Si層115および $\text{Si}_{0.2}\text{Ge}_{0.8}$ 混晶層114は、転位を平均15nmの間隔で含有しているため、この格子間原子と原子空孔は転位に束縛され、エミッタSi層112やベースSi-Ge層111に拡散することなく、再結合して消滅する。

【0026】図5に、この実施例で作製したHBT100におけるエミッタ領域のSIMSによる元素プロファイルを示す。イオン注入を行っても、ボロンの増速拡散がまったく生じていない。また、 $\text{Si}_{0.2}\text{Ge}_{0.8}$ 層114で発生した転位は、エミッタSi層112側には伝搬していないこと、エミッタ・ベース間の空乏層は砒素を $2 \times 10^{18} \text{cm}^{-3}$ ドーブしたSi層112中に延びて、転位を内蔵するSi層115および $\text{Si}_{0.2}\text{Ge}_{0.8}$ 混晶層114には及ばないので、転位による再結合電流の増加の問題は生じないことが分かる。さらに、転位を内蔵するSi層115および $\text{Si}_{0.2}\text{Ge}_{0.8}$ 混晶層114とエミッタSi層112との間には、ポリシリコンコンタクトの場合のような自然酸化膜の介在がないので、エミッタ抵抗の増加は見られなかった。

8

【0027】また、エミッタコンタクトとなるSi層115に注入した砒素は80%活性化し、電極とのコンタクト抵抗は $6 \times 10^{-8} \Omega \text{cm}^2$ という充分低い値が得られた。このため、高いエミッタ注入効率、低いベース抵抗、低いエミッタ抵抗を具備したHBTが実現でき、電流利得が350、ベースピンチ面抵抗が600Ω、最大発振周波数が70GHzという優れた特性が得られた。

【0028】次に、本発明の他の実施例について述べる。

10 【0029】図6は、本発明の他の実施例によるヘテロ接合バイポーラトランジスタ(HBT)130の構成を示す断面図であり、エミッタコンタクト層を選択的に形成する方法を適用して作製したものである。同図に示すHBT130の製造工程を、図7等を参照して詳述する。

【0030】まず、前述した第1の実施例と同様の方法で、砒素をドーブしたSi層112およびポリシリコン層113までを形成した、図3-bに示す構造を得る。次いで、図示を省略したフォトレジストをマスクとし、Si層112、113にボロンを30keVの加速エネルギーで  
20  $3 \times 10^{15} \text{cm}^{-2}$ 注入し、ベースコンタクト領域131を形成し、ベース引き出し領域を残してベースコンタクト領域131をエッチング除去する(図7-a)。

【0031】次に、ウエハ全面に熱CVD法で $\text{SiO}_2$ 膜132を堆積し、エミッタコンタクト窓を開け、非酸水溶液で自然酸化膜を除去した後、コンタクト領域に前述した実施例と同様のCVD法で、 $\text{Si}_{0.2}\text{Ge}_{0.8}$ 混晶層133を5nm堆積し、さらにウエハ全面にSi層134を80nm堆積する(図7-b)。このウエハに砒素(As)を40  
30 keVの加速エネルギーで $2 \times 10^{15} \text{cm}^{-2}$ 注入した後、700℃で15分間熱処理してイオン注入不純物を活性化する。

【0032】この後、エミッタコンタクト領域を残してSi層134をエッチング除去し、CVD法で $\text{SiO}_2$ 膜135を堆積し、エミッタ電極136、ベース電極137、コレクタ電極138を形成することにより、図6に示したヘテロ接合バイポーラトランジスタ(HBT)130が得られる。

【0033】上述したような製造方法および構造においても、イオン注入による損傷をアニールする工程で放出される格子間原子は、 $\text{Si}_{0.2}\text{Ge}_{0.8}$ 混晶層133の転位に束縛され、エミッタSi層112やベースSi-Ge層111に拡散せず、その結果、ボロンの増速拡散が抑えられるため、第1の実施例と同等の優れたHBT特性が得られた。

【0034】なお、上記各実施例においては、イオン注入で生じた格子間原子を捕捉するような転位の生成方法として、Geを含有した薄層をエミッタコンタクト層に導入する例について述べたが、Ge以外にも炭素やタングステン、モリブデン等でも同様な効果が得られる。また、  
50 必要に応じ、各層を複数層からなる構成としてもよい

し、また例えばベースエミッタ間に遷移領域を形成する層を挿入してもよい。

【0035】

【発明の効果】以上説明したように、本発明の半導体装置によれば、イオン注入によって高濃度のドーピングを行うエミッタコンタクト層に、予め格子間原子を捕捉するような転位を含有させているため、例えば 700℃以下の低温でのエピタキシャル成長で得られる急峻なドーピングプロファイルを損なうことなく、すなわちpn接合とヘテロ接合との位置を正確に一致させた上で、イオン注入によって高濃度ドーピングが可能となる。よって、低いエミッタ抵抗、低いベース抵抗、および高い電流増幅率を具備したHBTをシリコンプロセスで実現することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例によるHBTの構成を示す断面図である。

【図2】図1に示すHBTの製造工程の一部を示す図である。

【図3】図2に続くHBTの製造工程の一部を示す図である。

【図4】図3に続くHBTの製造工程の一部を示す図である。

【図5】本発明の一実施例によるHBTの不純物プロファイルを示す図である。

【図6】本発明の他の実施例によるHBTの構成を示す断面図である。

【図7】図6に示すHBTの製造工程を示す図である。

【図8】理想的なHBTの不純物プロファイルの一例を示す図である。

【図9】低温CVDによる $\text{Pb}_2$ のドーピング量と成膜速度との関係を示す図である。

【図10】低温CVDによる燐原子濃度とドナー濃度との関係を示す図である。

【図11】従来のHBTの製造工程の一例を示す図である。

【図12】図11に示すHBTのイオン注入前の不純物プロファイルを示す図である。

【図13】図11に示すHBTのイオン注入後の不純物プロファイルを示す図である。

【図14】従来の他のHBTの製造工程の一部を示す図である。

【図15】図14に続く従来のHBTの製造工程の一部を示す図である。

【符号の説明】

100……ヘテロ接合バイポーラトランジスタ(HBT)

101…… $p^+$ -Si基板

102…… $n^+$ -Siコレクタコンタクト層

103…… $n$ -Siコレクタ層

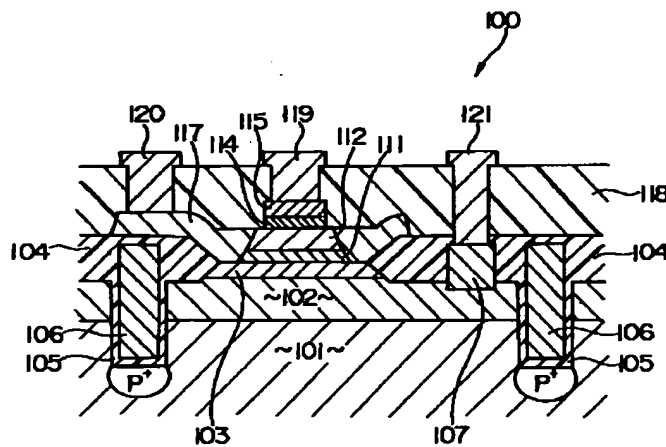
111…… $p^+$ - $\text{Si}_{0.7}\text{Ge}_{0.3}$ ベース層

112…… $n$ -Siエミッタ層

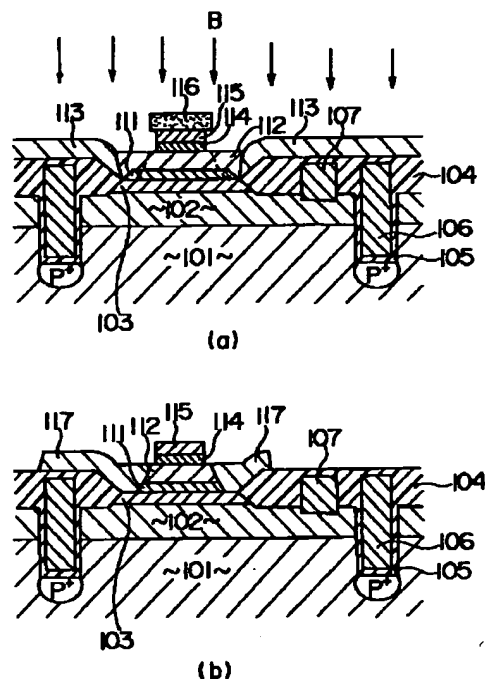
114…… $\text{Si}_{0.2}\text{Ge}_{0.8}$ 混晶層

115……イオン注入 $n^+$ -Siコンタクト層

【図1】



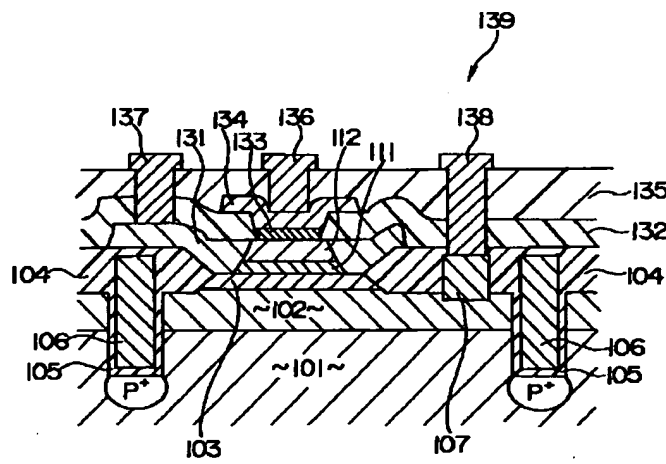
【図4】



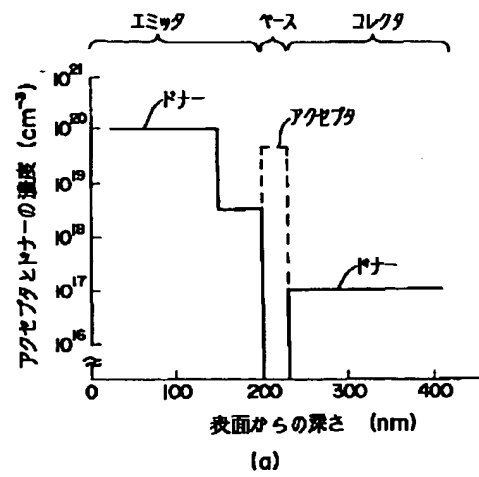




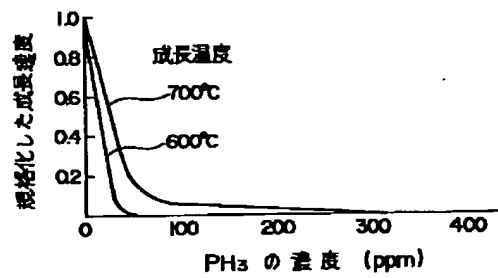
【図6】



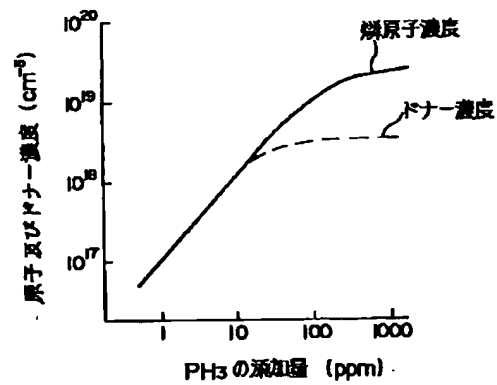
【図8】



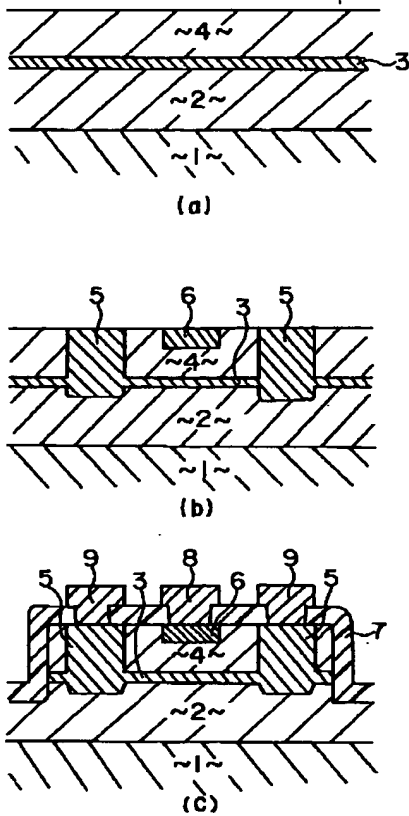
【図9】



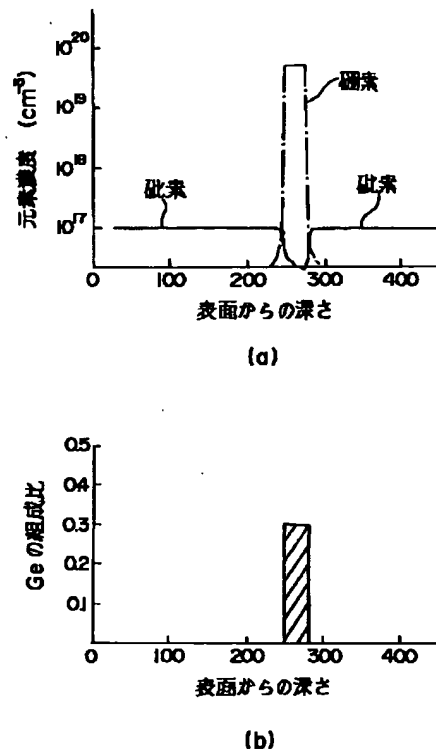
【図10】



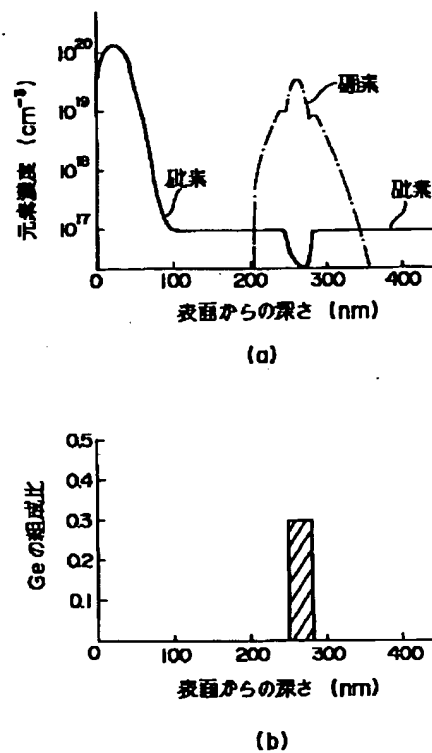
【図11】



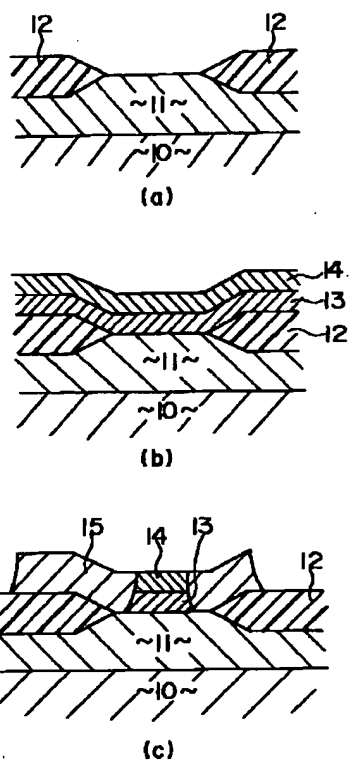
【図12】



【図13】



【図14】



【図15】

